

ONetCard 硬件用户手册

1 系统概述

ONetCard 产品是面向 SDN 与高性能网络应用的开源创新实验平台，其开源硬件和参考设计为用户提供了迅速上手所需的必要因素，最大限度减少了从创意思法到快速实现所需的时间，从而可以集中精力进行差异化创新。一方面使得计算机网络课程的学生能有机会进行实际操作，从零开始设计实现真实的网络系统；另一方面研究人员将其用于各种新网络算法、概念和原型设计的快速验证平台，以解决网络领域新出现的技术问题。

ONetCard 基于 Xilinx Kintex7-325T FPGA 芯片的实验平台，提供了更加灵活的网络端口支持，更加强悍的 28 纳米可配置器件，基于业界广泛应用的片上总线 AMBA 协议的模块化设计，增强型的工业级开发环境。同时 ONetCard 提供了网卡、路由器、OpenFlow switch 等丰富的参考设计，为用户进行快速的系统设计和开发提供了便利。

1.1 技术参数

表 1 ONetCard 技术参数

全局	
芯片	XC7k325T-2FFG900
供电	12V 直流
配置	QSPI Flash 128Mb
可编程逻辑 Programmable Logic	
FPGA 逻辑	326K Logic Cells
SRAM	QDRII+ 72Mb, 28.8Gbps@400MHz
DRAM	RLDRAMII+576Mb, 28.8Gbps@400MHz
有线网络	4x GE RJ45 千兆电口, 2x 10GE SFP+万兆光口
主机接口	Pcie Gen2 x8 接口, 40Gbps
外围设备	FMC LPC 扩展, 含 1x 10Gbps XCVR
其它设备	可编程开关、按钮、LED 灯若干

1.2 结构框图

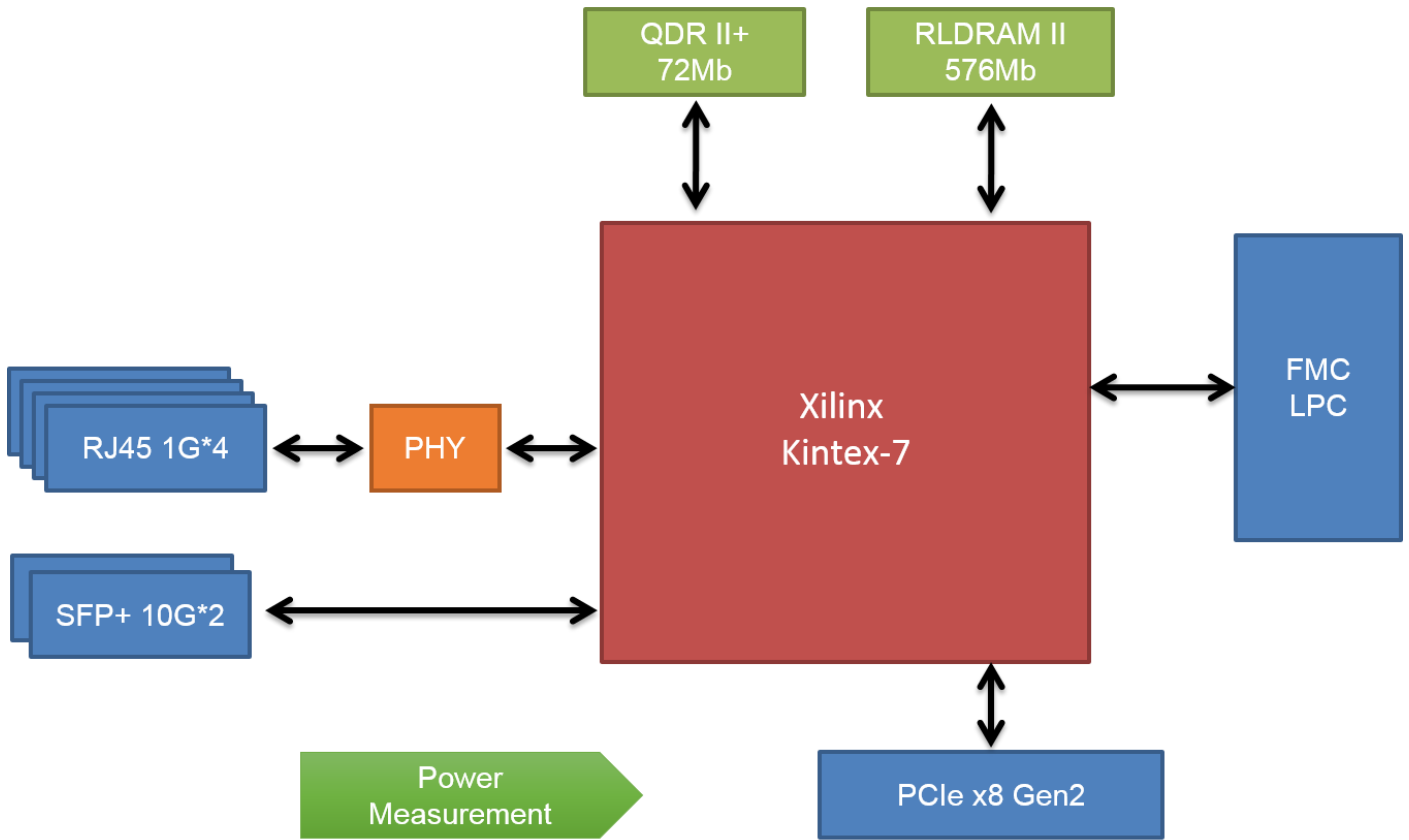


图 1 ONetCard 模块互连结构

1.3 模块布局

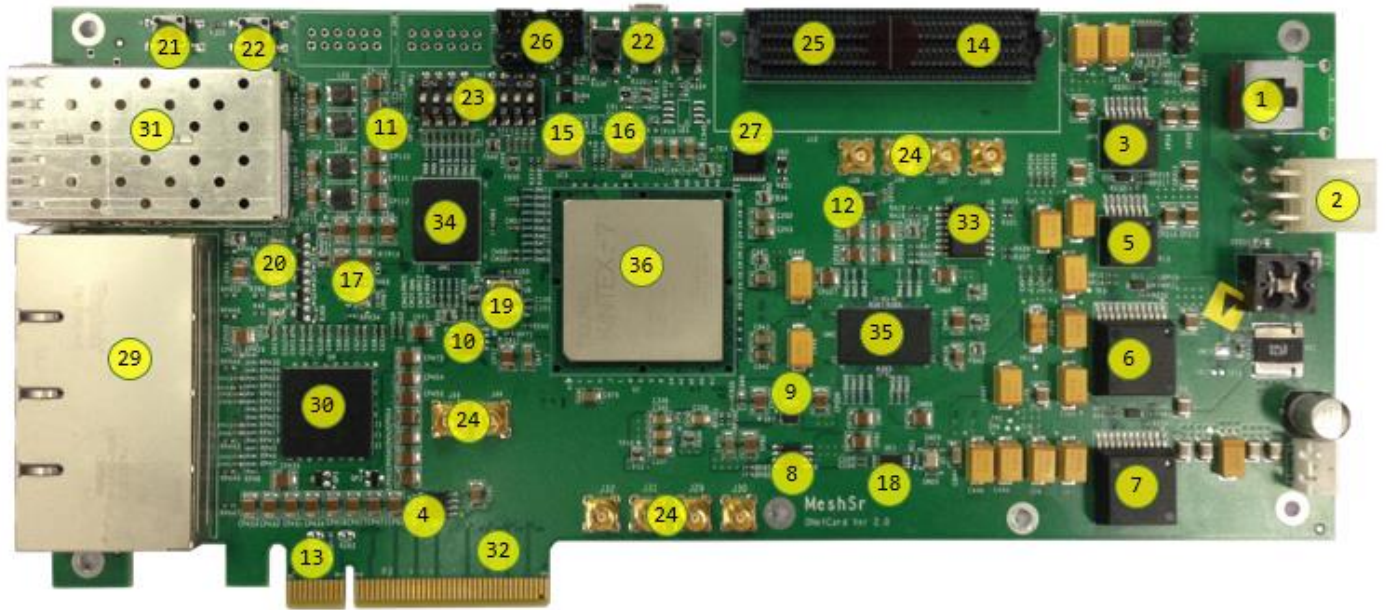


图 2 ONetCard 模块布局

表 2 ONetCard 模块布局对照表

#	模块	标记	描述
1	电源开关	SW1	1201M2S3ABE2_SLIDE_2POS
2	电源插座	J1	39-30-1060_JACK_500X540
3	电源 3.3V	UP5	LMZ22005TZ
4	电源 2.5V	UP9	TPS7A7001DDA
5	电源 1.5V	UP13	LMZ22005TZ
6	电源 1.8V	UP3	LMZ12008TZ
7	电源 1.0V	UP2	LMZ12008TZ
8	GTX 供电 1.2V	UP8	TPS7A7001DDA
9	GTX 供电 1.8V	UP10	TPS7A8001DRBT
10	GTX 供电 1.0V	UP7	TPS7A7001DDA
11	QDRII 供电 0.75V	UP11	TPS51200DRCT
12	RLDRAMII 供电 0.75V	UP14	TPS51200DRCT
13	时钟 PCIe	P3	100MHz 用于 PCIe
14	时钟 FMC	J12	156.25MHz 用于 FMC
15	时钟 50MHz	UC5	50MHz 用于 QDRII+
16	时钟 50MHz	UC6	50MHz 用于 RLDRAM
17	时钟 PHY	XPH1	25MHz 50ppm 用于 BCM5464SR PHY
18	时钟 SGMII	UC1	125MHz 用于 SGMII 1G
19	时钟 SFP+	U8	156.25MHz 用于 SFP+ 10G
20	LED	正面	DS24,27, 39, 42 NDS331N

		背面	DS41,43, 44,45,40, 38,25, 26	
		DS37		CFG_FPGA_INT_B
		DS36(背面)		CFG_FPGA_DONE
21	复位按键	SW22		Push Button x1 (PROG_B)
22	用户按键	SW15,16,19,20		Push Button x4
23	用户拨码开关	SW2,3		DIP4
24	SMA 接口	J29		接 bank118(GTX)管脚 E3,网络名 SMA_MGT_RX_N
		J30		接 bank118(GTX)管脚 E4,网络名 SMA_MGT_RX_P
		J31		接 bank118(GTX)管脚 D1,网络名 SMA_MGT_TX_N
		J32		接 bank118(GTX)管脚 D2,网络名 SMA_MGT_TX_P
		J33		时钟 156.25MHz,接 bank118 管脚 E8(MGTREFCLK1P),网络名 CLK_156M_SMA_P
		J34		时钟 156.25MHz,接 bank118 管脚 E7(MGTREFCLK1N),网络名 CLK_156M_SMA_N
		J36		接 bank13 管脚 AK30(MGTREFCLK1P), 网络名 SMA_2V5_A_N
		J37		接 bank13 管脚 AK29(MGTREFCLK1P), 网络名 SMA_2V5_A_P
		J38		接 bank13 管脚 AH29(MGTREFCLK1P), 网络名 SMA_2V5_B_N
		J39		接 bank13 管脚 AG29(MGTREFCLK1P), 网络名 SMA_2V5_B_P
25	FMC LPC	J12		ASP-134603-01
26	JTAG-14pin	J35		14 pin
27	USB JTAG	U80		SN74LV541APWR
28	USB 接口(背面)	U81		Digilent USB JTAG SMT
29	RJ45 1G*4	JPH2		0826-1X4T-23-F/L826-1X4T-23-F MegJack 千兆电口
30	PHY	U4		BCM5464 PHY
31	SFP+ 10G*2	P1,2		74441-0010 万兆光口
32	PCIe 金手指	P3		PCIe Gen2 x8
33	Flash	U2		QSPI Flash N25Q128A11ESF40
34	SRAM	UM1		QDRII+ CY7C25632KV18
35	DRAM	UM2		RLDRAMII MT49H16M36
36	Kintex7	U1		XC7K325T-2FFG900

1.4 Bank 分配

表 3 ONetCard 芯片 Bank 分配

Bank	电压	用途
0	3.3V	QSPI
12	2.5V	BCM5464SRPHY 管理配置接口
13	2.5V	FMC,SMA
14	3.3V	QSPI,PCIe
15	3.3V	PMOD 扩展接口
16,17	1.5V	QDRII
18	3.3V	LED,开关
32	1.8V	FMC
33, 34	1.5V	RLDRAMII
115(GTX), 116(GTX)		PCIe
117(GTX)		SGMII 1G,FMC 时钟
118(GTX)		SMA,SFP+ 10G,FMC

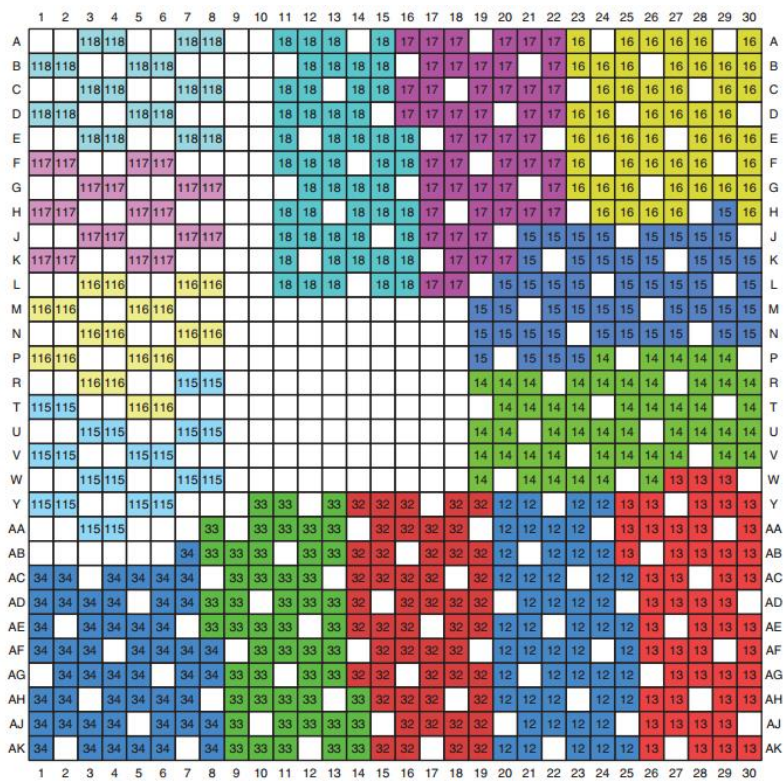


图 3 ONetCard FPGA Package(XC7k325T-2FFG900)

2 功能描述

2.1 时钟资源

ONetSwitch45 共有 8 个用户时钟，具体如表所示。

表 4 时钟资源

#	模块	标记	描述
1	时钟 PHY	XPH1	25MHz 50ppm 用于 BCM5464SR PHY
2	时钟 125MHz	UC1	125MHz 用于 SGMII 1G
3	时钟 SFP+	SI57x	156.25MHz 用于 SFP+ 10G
4	时钟 SMA	J33/J34	156.25MHz 用于辅助时钟 SMA
5	时钟 FMC	J12	156.25MHz 用于 FMC
6	时钟 100MHz	P3	100MHz 用于 PCIe
7	时钟 QDRII	UC5	50MHz 用于 QDRII+
8	时钟 RLD RAM	UC6	50MHz 用于 RLD RAM

表 5 时钟管脚

#	Bank	网络名称	管脚	描述
1		XTALI	U4C.H3	25MHz BCM5464SR PHY
		XTALO	U4C.H4	
2	117	SGMII_CLK_Q0_P	G8	125MHz 用于 SGMII 1G
	117	SGMII_CLK_Q0_N	G7	
3	118	CLK_156M_SI57x_P	C8	156.25MHz 用于 SFP+ 10G
	118	CLK_156M_SI57x_N	C7	
4	118	CLK_156M_SMA_P	E8	156.25MHz 用于辅助时钟 SMA
	118	CLK_156M_SMA_N	E7	
5	117	GTX_FMC_CLK_156M_P	J8	156.25MHz 用于 FMC
	117	GTX_FMC_CLK_156M_N	J7	
6	115	CLK_PCIE_REF_100M_P	U8	100MHz 用于 PCIe
	115	CLK_PCIE_REF_100M_N	U7	
7	17	CLK_50M_SYS_QDR	E19	50MHz 用于 QDRII+
8	32	CLK_50M_RLD RAM	AD17	50MHz 用于 RLD RAM

2.2 QSPI Flash

ONetCard 在可以使用 QSPI Flash 配置启动，大小为 128Mb。

- ✓ 器件型号： N25Q128A11ESF40
- ✓ 供电电压： 3.3V
- ✓ 数据位宽： 4bits
- ✓ 数据速率： 单倍、双倍、四倍，三种速率

表 6 QSPI 管脚分配

Bank	名称	管脚	方向	描述
14	FPGA_FCS_N	U19	OUT	
14	FPGA_FLASH_D0	P24	INOUT	
14	FPGA_FLASH_D1	R25	INOUT	
14	FPGA_FLASH_D2	R20	INOUT	
14	FPGA_FLASH_D3	R21	INOUT	
0	CLK_FPGA_CCLK	B10	OUT	

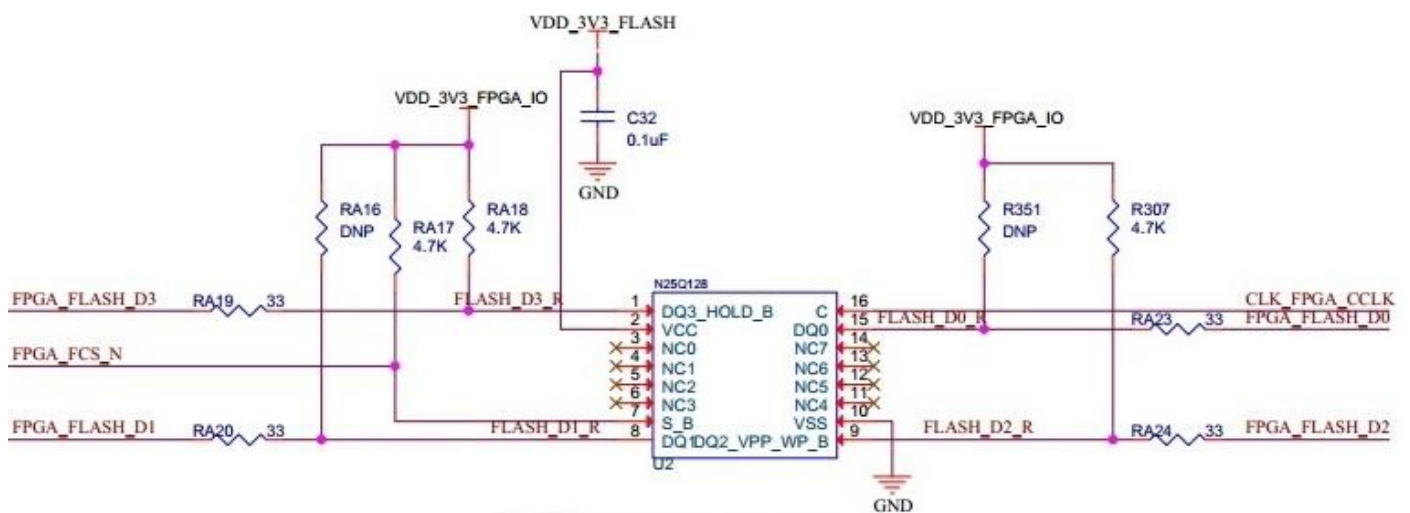


图 4 QSPI 原理图 (U2)

2.3 JTAG

ONetCard 提供两种方式的 JTAG 连接，通过 JP7 来选择。当 FMC LPC 有连接时，可以在链路中加入旁路的 FMC JTAG。

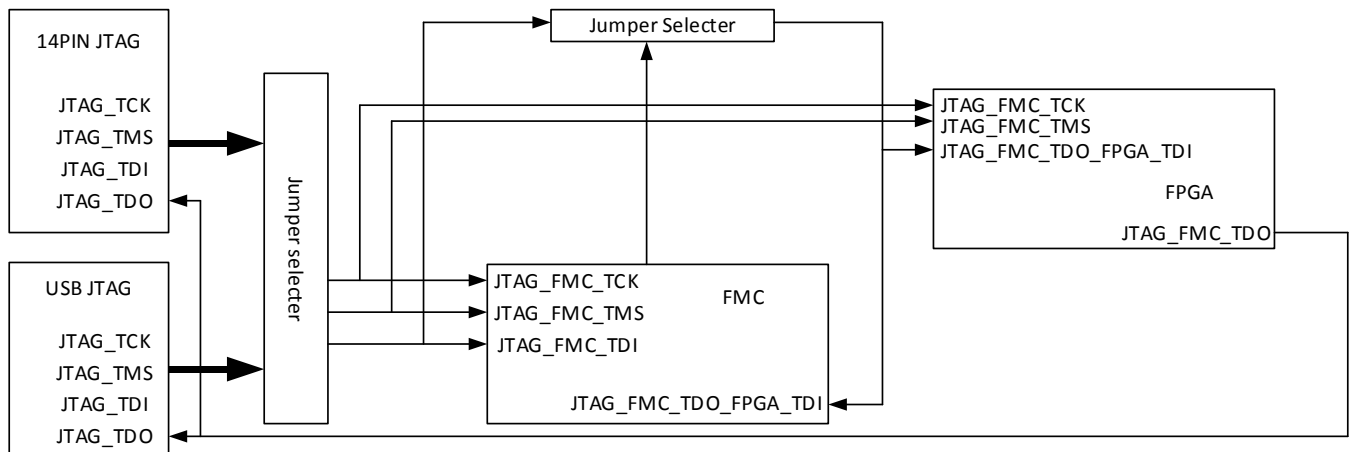


图 5 JTAG 连接

ONetCard 支持两种调试方式。其中，USB JTAG 和 JTAG-14pin 作为常见的 FPGA 调试方式，可以通过跳线 JP7 切换。推荐采用 USB JTAG 的调试方式。

- ✓ USB JTAG 调试方式；
- ✓ JTAG-14pin 调试方式；

表 7 调试方式与跳线

模式	跳线	描述
USB JTAG	JP7 1-2	使用 USB A 转 USB Micro B
JTAG-14pin	JP7 2-3	使用 Xilinx Platform Cable

注：板卡带网口方向为左，带电源方向为右，

1-2：JP7 左边的两根跳针

2-3：JP7 右边的两个跳针

2.4 QDRII+

ONetCard 选用单片了 Cypress 生产的 4M*18bit (大小 72Mb) QDRII+ SRAM, 型号为 CY7C25632KV18, 工作频率为 400MHz, 提供带宽 28.8Gbps (400MHz*18bits*4)。同时, 该 QDRII+还提供长度为 4 个字的突发读写以及最快为 2.5 个工作周期的读取延迟。

四倍数据速率的 QDRII+ SRAM 提供独立的读写端口, 读写性能提高一倍。QDRII+器件采用 On-Die Termination (ODT) 技术, 不仅能显著提高信号完整性, 降低系统成本, 而且还消除了采用外部终端电阻的麻烦, 从而可大幅节省板卡空间。

表 8 QDRII+管脚分配

Bank	名称	管脚	方向	描述
17	CLK_50M_SYS_QDR	E19	IN	50MHz, QDRII 系统时钟
17	QDRII_Q[0]	G18	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[1]	F18	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[2]	F17	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[3]	D18	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[4]	D16	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[5]	C17	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[6]	B17	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[7]	C16	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[8]	G17	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[9]	A16	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[10]	A17	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[11]	A18	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[12]	B18	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[13]	C19	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[14]	A20	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[15]	A21	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[16]	A22	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_Q[17]	B22	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_D[0]	G22	IN	HSTL_I
17	QDRII_D[1]	F22	IN	HSTL_I
17	QDRII_D[2]	F21	IN	HSTL_I
17	QDRII_D[3]	C22	IN	HSTL_I
17	QDRII_D[4]	D22	IN	HSTL_I
17	QDRII_D[5]	E21	IN	HSTL_I
17	QDRII_D[6]	D21	IN	HSTL_I
17	QDRII_D[7]	C21	IN	HSTL_I
17	QDRII_D[8]	E20	IN	HSTL_I
17	QDRII_D[9]	L17	IN	HSTL_I
17	QDRII_D[10]	L18	IN	HSTL_I
17	QDRII_D[11]	K18	IN	HSTL_I
17	QDRII_D[12]	K19	IN	HSTL_I
17	QDRII_D[13]	J18	IN	HSTL_I

17	QDRII_D[14]	J19	IN	HSTL_I
17	QDRII_D[15]	H19	IN	HSTL_I
17	QDRII_D[16]	H20	IN	HSTL_I
17	QDRII_D[17]	G20	IN	HSTL_I
16	QDRII_SA[19]	B24	OUT	HSTL_I
16	QDRII_SA[18]	G23	OUT	HSTL_I
16	QDRII_SA[17]	E23	OUT	HSTL_I
16	QDRII_SA[16]	B27	OUT	HSTL_I
16	QDRII_SA[15]	A26	OUT	HSTL_I
16	QDRII_SA[14]	A27	OUT	HSTL_I
16	QDRII_SA[13]	F25	OUT	HSTL_I
16	QDRII_SA[12]	A25	OUT	HSTL_I
16	QDRII_SA[11]	E25	OUT	HSTL_I
16	QDRII_SA[10]	E26	OUT	HSTL_I
16	QDRII_SA[9]	F26	OUT	HSTL_I
16	QDRII_SA[8]	E24	OUT	HSTL_I
16	QDRII_SA[7]	A28	OUT	HSTL_I
16	QDRII_SA[6]	B28	OUT	HSTL_I
16	QDRII_SA[5]	B23	OUT	HSTL_I
16	QDRII_SA[4]	D23	OUT	HSTL_I
16	QDRII_SA[3]	A23	OUT	HSTL_I
16	QDRII_SA[2]	G24	OUT	HSTL_I
16	QDRII_SA[1]	D24	OUT	HSTL_I
16	QDRII_SA[0]	C24	OUT	HSTL_I
16	QDRII_WPSn	D26	OUT	HSTL_I
16	QDRII_RPSn	C26	OUT	HSTL_I
17	QDRII_DOFFn	B19	OUT	HSTL_I
17	QDRII_BWSn[0]	H21	OUT	HSTL_I
17	QDRII_BWSn[1]	H22	OUT	HSTL_I
17	QDRII_CLK_CQ_P[0]	F20	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_CLK_CQ_N[0]	D17	IN	HSTL_I UNTUNED_SPLIT_50
17	QDRII_CLK_K_P[0]	J17	OUT	DIFF_HSTL_I
17	QDRII_CLK_K_N[0]	H17	OUT	DIFF_HSTL_I

2.5 RLDII

ONetCard 选用单片 Micron 生产的 16M*36bit (576Mb) RLDII，型号为 MT49H16M36BM-25，工作频率为 400MHz，双倍数据速率，提供带宽 28.8Gbps (400MHz*36bits*2)。该 RLDII 提供同 SRAM 类似的接口和速率，均衡读写延迟，并可配置读操作延迟、行周期时间以及突发长度。

RLDII (Reduced Latency DRAM) 可以显著提高传统 DRAM 中读操作的延时问题，实现读操作的快速响应，有利于降低主控设备的读写转换时间，从而提高总线的工作效率。

RLDII

表 9 RLDII 管脚分配

Bank	名称	管脚	方向	描述
32	CLK_50M_RLDII	AD17	IN	50MHz, RLDII 系统时钟
34	RLDII_DQ[0]	AG2	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[1]	AJ1	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[2]	AK1	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[3]	AH5	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[4]	AJ2	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[5]	AK3	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[6]	AJ3	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[7]	AH2	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[8]	AH6	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[9]	AK5	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[10]	AF7	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[11]	AK4	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[12]	AF8	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[13]	AK8	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[14]	AG7	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[15]	AJ8	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[16]	AJ6	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[17]	AK6	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[18]	AE6	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[19]	AD4	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[20]	AD6	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[21]	AC4	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[22]	AC7	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[23]	AC5	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[24]	AC2	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[25]	AD3	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[26]	AC1	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[27]	AF2	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[28]	AE4	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[29]	AF3	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[30]	AE3	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[31]	AE5	INOUT	HSTL_II_T_DCI

34	RLDII_DQ[32]	AF1	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[33]	AG4	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[34]	AE1	INOUT	HSTL_II_T_DCI
34	RLDII_DQ[35]	AF5	INOUT	HSTL_II_T_DCI
33	RLDII_A[19]	AD8	OUT	HSTL_I
33	RLDII_A[18]	AB10	OUT	HSTL_I
33	RLDII_A[17]	Y10	OUT	HSTL_I
33	RLDII_A[16]	AA10	OUT	HSTL_I
33	RLDII_A[15]	AB8	OUT	HSTL_I
33	RLDII_A[14]	AK13	OUT	HSTL_I
33	RLDII_A[13]	AG9	OUT	HSTL_I
33	RLDII_A[12]	AA8	OUT	HSTL_I
33	RLDII_A[11]	AC10	OUT	HSTL_I
33	RLDII_A[10]	AE8	OUT	HSTL_I
33	RLDII_A[9]	AB12	OUT	HSTL_I
33	RLDII_A[8]	AC12	OUT	HSTL_I
33	RLDII_A[7]	AB13	OUT	HSTL_I
33	RLDII_A[6]	AD12	OUT	HSTL_I
33	RLDII_A[5]	AJ9	OUT	HSTL_I
33	RLDII_A[4]	AC11	OUT	HSTL_I
33	RLDII_A[3]	AH9	OUT	HSTL_I
33	RLDII_A[2]	AF11	OUT	HSTL_I
33	RLDII_A[1]	AE11	OUT	HSTL_I
33	RLDII_A[0]	AD11	OUT	HSTL_I
33	RLDII_BA[2]	AA12	OUT	HSTL_I
33	RLDII_BA[1]	AE9	OUT	HSTL_I
33	RLDII_BA[0]	AK14	OUT	HSTL_I
33	RLDII_WE_N	Y11	OUT	HSTL_I
33	RLDII_REF_N	AA13	OUT	HSTL_I
33	RLDII_CS_N[0]	AA11	OUT	HSTL_I
34	RLDII_DM[0]	AG3	OUT	HSTL_I
34	RLDII_QK_P[0]	AF6	IN	DIFF_HSTL_II_DCI
34	RLDII_QK_N[0]	AG5	IN	DIFF_HSTL_II_DCI
34	RLDII_QK_P[1]	AH4	IN	DIFF_HSTL_II_DCI
34	RLDII_QK_N[1]	AJ4	IN	DIFF_HSTL_II_DCI
34	RLDII_DK_P[0]	AH7	OUT	DIFF_HSTL_I
34	RLDII_DK_N[0]	AJ7	OUT	DIFF_HSTL_I
34	RLDII_DK_P[1]	AD2	OUT	DIFF_HSTL_I
34	RLDII_DK_N[1]	AD1	OUT	DIFF_HSTL_I
33	RLDII_CK_P[0]	AB9	OUT	DIFF_HSTL_I
33	RLDII_CK_N[0]	AC9	OUT	DIFF_HSTL_I

2.6 Ethernet 1G

针对传统的千兆以太网接口尚未过时且被大量应用，ONetCard 提供 4 个千兆位级以太网接口以配合传统应用场景的接口和速率，出于减少管脚连接数、优化板卡面积并降低功耗要求，板卡选用 Broadcom 的 BCM5464 作为物理层（PHY）芯片，连接前面板的千兆以太网 RJ45 接口。BCM5464 是一款多端口 10/100/1000 自适应的 PHY，支持全/半双工，内部集成了四路千兆位电信号收发器，具有集成铜线/光纤媒质接口，支持 GMII、RGMII 和 SGMII 等多种 MAC 层接口模式，低功耗、高处理性能，完全支持 IEEE802.3、802.3u 和 802.3ab 规格，支持最大数据包长可达 10KBytes。BCM5464 芯片的每个端口都是完全独立的，拥有唯一的控制寄存器和状态寄存器。

表 10 Ethernet 1G 管脚分配

Bank	名称	管脚	方向	描述
117	SGMIICLK_Q0_P	G8	IN	MGTREFCLKOP
117	SGMIICLK_Q0_N	G7	IN	MGTREFCLKON
117	SGMII_FPGA_PHY_TX0_P	K2	OUT	GTXE2_CHANNEL_X0Y8
117	SGMII_FPGA_PHY_TX0_N	K1	OUT	
117	SGMII_FPGA_PHY_RX0_P	K6	IN	
117	SGMII_FPGA_PHY_RX0_N	K5	IN	
117	SGMII_FPGA_PHY_TX1_P	J4	OUT	GTXE2_CHANNEL_X0Y9
117	SGMII_FPGA_PHY_TX1_N	J3	OUT	
117	SGMII_FPGA_PHY_RX1_P	H6	IN	
117	SGMII_FPGA_PHY_RX1_N	H5	IN	
117	SGMII_FPGA_PHY_TX2_P	H2	OUT	GTXE2_CHANNEL_X0Y10
117	SGMII_FPGA_PHY_TX2_N	H1	OUT	
117	SGMII_FPGA_PHY_RX2_P	G4	IN	
117	SGMII_FPGA_PHY_RX2_N	G3	IN	
117	SGMII_FPGA_PHY_TX3_P	F2	OUT	GTXE2_CHANNEL_X0Y11
117	SGMII_FPGA_PHY_TX3_N	F1	OUT	
117	SGMII_FPGA_PHY_RX3_P	F6	IN	
117	SGMII_FPGA_PHY_RX3_N	F5	IN	

2.7 Ethernet 10G

针对 10Gbps 接口在实验与实际应用中越来越多的需求，ONetCard 提供 2 个 10Gbps 以太网接口以配合新一代高性能网络处理平台。板卡的 2 个增强型小型封装可热插拔（SFP+）模块作为物理接口连接 10Gbps 以太网。与其他 10G 收发器标准相比，SFP+在功耗和尺寸方面有着明显的优势，使用 SFP+模块，ONetCard 可以支持一系列接口标准，包括 10Gbase-LR、10Gbase-SR、10Gbase-LRM 和低成本直连 SFP+铜缆。

表 11 Ethernet 10G 管脚分配

Bank	名称	管脚	方向	描述
118	CLK_156M_SI57x_P	C8	IN	MGTREFCLKOP
118	CLK_156M_SI57x_N	C7	IN	MGTREFCLKON
118	SFP0_TX_P	B2	OUT	GTXE2_CHANNEL_X0Y14
118	SFP0_TX_N	B1	OUT	
118	SFP0_RX_P	B6	IN	
118	SFP0_RX_N	B5	IN	
118	SFP1_TX_P	A4	OUT	GTXE2_CHANNEL_X0Y15
118	SFP1_TX_N	A3	OUT	
118	SFP1_RX_P	A8	IN	
118	SFP1_RX_N	A7	IN	

2.8 PCIe Gen2 x8

ONetCard 支持 PCIe Gen2 x8 的 40Gbps 互联接口，即采用八对收发器实现单个通道单向 5Gbps 的传输速率，全速支持 4 个千兆以太网以及单个万兆以太网的主机处理器操作，基本支持两个万兆以太网并发的主机处理器操作。PCIe 互连子系统在 ONetCard 中主要承担两项功能：一方面是主机对 ONetCard 的配置驱动和状态检查，即控制平面的事务操作；另一方面是通过直接存储器存取 DMA (Direct Memory Access) 引擎将网络数据包交由主机处理，即数据平面的事务处理。

表 12 PCIe 管脚分配

Bank	名称	管脚	方向	描述
14	PCIE_RSTn	W21	N/A	LVC MOS33
115	CLK_PCIE_REF_100M_P	U8	IN	MGTREFCLK1P
115	CLK_PCIE_REF_100M_N	U7	IN	MGTREFCLK1N
116	PCIE_TX0_P	L4	OUT	GTXE2_CHANNEL_X0Y7
116	PCIE_TX0_N	L3	OUT	
116	PCIE_RX0_P	M6	IN	
116	PCIE_RX0_N	M5	IN	
116	PCIE_TX1_P	M2	OUT	GTXE2_CHANNEL_X0Y6
116	PCIE_TX1_N	M1	OUT	
116	PCIE_RX1_P	P6	IN	
116	PCIE_RX1_N	P5	IN	
116	PCIE_TX2_P	N4	OUT	GTXE2_CHANNEL_X0Y5
116	PCIE_TX2_N	N3	OUT	
116	PCIE_RX2_P	R4	IN	
116	PCIE_RX2_N	R3	IN	
116	PCIE_TX3_P	P2	OUT	GTXE2_CHANNEL_X0Y4
116	PCIE_TX3_N	P1	OUT	
116	PCIE_RX3_P	T6	IN	
116	PCIE_RX3_N	T5	IN	
115	PCIE_TX4_P	T2	OUT	GTXE2_CHANNEL_X0Y3
115	PCIE_TX4_N	T1	OUT	
115	PCIE_RX4_P	V6	IN	
115	PCIE_RX4_N	V5	IN	
115	PCIE_TX5_P	U4	OUT	GTXE2_CHANNEL_X0Y2
115	PCIE_TX5_N	U3	OUT	
115	PCIE_RX5_P	W4	IN	
115	PCIE_RX5_N	W3	IN	
115	PCIE_TX6_P	V2	OUT	GTXE2_CHANNEL_X0Y1
115	PCIE_TX6_N	V1	OUT	
115	PCIE_RX6_P	Y6	IN	
115	PCIE_RX6_N	Y5	IN	
115	PCIE_TX7_P	Y2	OUT	GTXE2_CHANNEL_X0Y0
115	PCIE_TX7_N	Y1	OUT	

115	PCIE_RX7_P	AA4	IN	
115	PCIE_RX7_N	AA3	IN	

2.9 FMC LPC

ONetCard 选用 FMC 实现子卡的扩展，支持一个 HPC (High Pin Count) 扩展 FPGA 夹层连接器 (FMC, FPGA Mezzanine Card) 接口，四组速率高达 12.5Gbps 的串行收发器连接到 FMC 扩展接口上，可以将扩展应用子卡对接到开放平台上，快速实施特定应用设计方案。

表 13 FMC LPC 管脚分配

Bank	名称	管脚	方向	描述
13	FMC_LVDS_00_P	AJ26	INOUT	LVDS_00_P
13	FMC_LVDS_00_N	AK26	INOUT	LVDS_00_N
13	FMC_LVDS_01_P	AJ27	INOUT	LVDS_01_P
13	FMC_LVDS_01_N	AK28	INOUT	LVDS_01_N
13	FMC_LVDS_02_P	AH26	INOUT	LVDS_02_P
13	FMC_LVDS_02_N	AH27	INOUT	LVDS_02_N
13	FMC_LVDS_03_P	AJ28	INOUT	LVDS_03_P
13	FMC_LVDS_03_N	AJ29	INOUT	LVDS_03_N
13	FMC_LVDS_04_P	AF26	INOUT	LVDS_04_P
13	FMC_LVDS_04_N	AF27	INOUT	LVDS_04_N
13	FMC_LVDS_05_P	W27	INOUT	LVDS_05_P
13	FMC_LVDS_05_N	W28	INOUT	LVDS_05_N
32	FMC_LA_5_A	AG15	INOUT	LA05_P
32	FMC_LA_5_B	AH15	INOUT	LA05_N
32	FMC_LA_6_A	AF15	INOUT	LA06_P
32	FMC_LA_6_B	AG14	INOUT	LA06_N
32	FMC_LA_7_A	AE16	INOUT	LA07_P
32	FMC_LA_7_B	AF16	INOUT	LA07_N
32	FMC_LA_8_A	AE15	INOUT	LA08_P
32	FMC_LA_8_B	AE14	INOUT	LA08_N
32	FMC_LA_9_A	AF17	INOUT	LA09_P
32	FMC_LA_9_B	AG17	INOUT	LA09_N
32	FMC_LA_10_A	AC14	INOUT	LA10_P
32	FMC_LA_10_B	AD14	INOUT	LA10_N
32	FMC_LA_11_A	AC16	INOUT	LA11_P
32	FMC_LA_11_B	AC15	INOUT	LA11_N
32	FMC_LA_12_A	AD18	INOUT	LA12_P
32	FMC_LA_12_B	AE18	INOUT	LA12_N
32	FMC_LA_13_A	AB17	INOUT	LA13_P
32	FMC_LA_13_B	AC17	INOUT	LA13_N
32	FMC_LA_14_A	AD19	INOUT	LA14_P
32	FMC_LA_14_B	AE19	INOUT	LA14_N
32	FMC_LA_15_A	AA18	INOUT	LA15_P
32	FMC_LA_15_B	AB18	INOUT	LA15_N
118	GTX_FMC_TX_0_P	C4	OUT	MGTX-TXP#1
118	GTX_FMC_TX_0_N	C3	OUT	MGTX-TXN#1

118	GTX_FMC_RX_0_P	D6	IN	MGTX-RXP#1
118	GTX_FMC_RX_0_N	D5	IN	MGTX-RXN#1
117	GTX_FMC_CLK_156M_P	J8	IN	MGTXREFCLK1P
117	GTX_FMC_CLK_156M_N	J7	IN	MGTXREFCLK1N

2.10 电源配置

ONetCard 有两种供电方式:

- ✓ 外部 12V 电源供电
开关 (SW1) 拨到上侧, 选择外部电源供电
- ✓ PCIe 插槽供电
开关 (SW1) 拨到下侧, 选择 PCIe 插槽供电

注: 上-----板卡带 FMC 扩展接口的一边

下-----板卡带 PCIe 金手指的一边

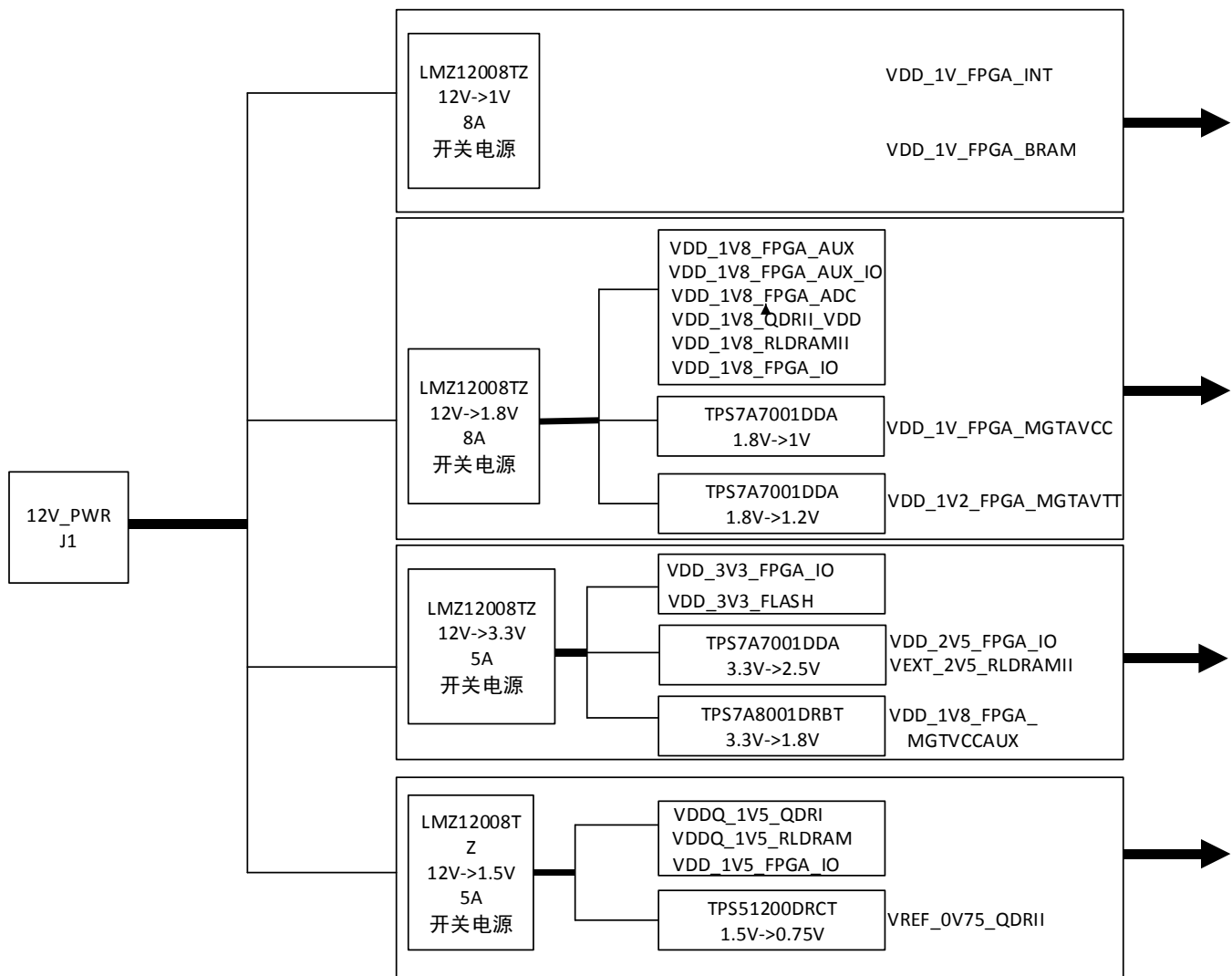


图 6 电源结构

2.11 开关按钮与 LED

表 14 按钮

#	标记	类型	管脚	描述
1	sw15	用户	J28	常低，按下为高电平
2	sw16	用户	J27	常低，按下为高电平
3	sw19	用户	H29	常低，按下为高电平
4	sw20	用户	J29	常低，按下为高电平
5	sw22	系统	K10	系统配置复位，PROGRAM_B

表 15 开关

#	标记	类型	管脚	描述
1	sw1	系统	N/A	上：外接电源供电 下：PCIe 槽供电
2	sw2-1	用户	J11	上：高电平 下：低电平
3	sw2-2	用户	G15	
4	sw2-3	用户	H15	
5	sw2-4	用户	K11	
6	sw3-1	用户	L11	
7	sw3-2	用户	J14	
8	sw3-3	用户	K14	
9	sw3-4	用户	K13	

注：上-----板卡带 FMC 扩展接口的一边
 下-----板卡带 PCIe 金手指的一边

表 16 LED 配置

#	标记	类型	管脚	描述
1	DS39	用户	G14	高电平亮
2	DS27	用户	F13	高电平亮
3	DS24	用户	F12	高电平亮
4	DS42	用户	H11	高电平亮
5	DS44	用户	J16	高电平亮
6	DS43	用户	H16	高电平亮
7	DS45	用户	J12	高电平亮
8	DS40	用户	H14	高电平亮
9	DS41	用户	H12	高电平亮
10	DS38	用户	G13	高电平亮
11	DS25	用户	D13	高电平亮
12	DS26	用户	D12	高电平亮
13	DS36	系统	M10	CFG_FPGA_DONE
14	DS37	系统	A10	CFG_FPGA_INT_B

3 系统配置

3.1 跳线设置

表 17 跳线配置

#	标记	类型	连接	方向	描述
1	JP35	系统	N/A	N/A	JTAG 14PIN
2	JP7	用户	1-2	左	USB JTAG 下载模式
			2-3	右	JTAG 14PIN 下载模式
3	JP8	系统	N/A	N/A	MAX3232

注：板卡带网口方向为左，带电源方向为右，

1-2：JP7 左边的两根跳针

2-3：JP7 右边的两个跳针

4 参考资料

MeshSr ONetCard	http://www.meshsr.com/product/onetcard
Xilinx FMC Std.	http://www.xilinx.com/products/boards_kits/fmc.htm
Xilinx LogiCORE IP	Using Xilinx DocNav for ISE 14.7
PG138	LogiCORE IP AXI Ethernet v6.0
PG047	LogiCORE IP Gig Ethernet PCS/PMA v11.5
PG051	LogiCORE IP Tri-Mode Ethernet MAC v5.5
PG068	LogiCORE IP 10-Gigabit Ethernet PCS/PMA v2.6
PG072	LogiCORE IP 10-Gigabit Ethernet MAC v11.6
PG054	7 Series FPGAs Integrated Block for PCI Express v3.0
PG021	LogiCORE IP AXI Bridge for PCI Express v2.3
PG132	LogiCORE IP Integrated Bit Error Ratio Tester (IBERT) for 7 Series GTX Transceivers v3.0
UG586	7 Series Devices Memory Interface Solutions v2.0
ARM AMBA	
AXI4-Lite	IHI0022E AMBA® AXI™ and ACE™ Protocol Specification
AXI4-Stream	IHI0051A AMBA® 4 AXI4-Stream Protocol

5 版本历史

日期	版本	描述
2014-07-09	1.00	最初版本